

WEST[Help](#)[Logout](#)[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [KVMC](#)**Document Number 5**

Entry 5 of 7

File: JPAB

Feb 5, 1992

PUB-NO: JP404035035A

DOCUMENT-IDENTIFIER: JP 04035035 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: February 5, 1992

INVENTOR-INFORMATION:

NAME

HOSODA, TSUTOMU

ASSIGNEE-INFORMATION:

NAME COUNTRY

FUJITSU LTD N/A

APPL-NO: JP02142352

APPL-DATE: May 31, 1990

INT-CL (IPC): H01L 21/3205

ABSTRACT:

PURPOSE: To provide reliable metallized wiring by depositing aluminum alloy containing copper and titanium on a tantalum layer so as to enhance resistance to stress migration and electromigration at high temperature and prevent the increase in wiring resistance due to a high-temperature heat treatment.

CONSTITUTION: A barrier metal layer 22 is formed, and a Ta layer 23A to form part of source and drain wiring is deposited on a non-reactive TiN layer 22B by argon sputtering. Al-Cu-Ti alloy 23B is deposited by argon sputtering to the rest of the wiring. The Ta layer 23A under the alloy 23B is much slow to react with aluminum than titanium does at high temperature. Therefore, it is possible to reduce the generation of high-resistance intermetallic compounds in the alloy 23B at high temperature, thus maintaining low sheet resistance.

COPYRIGHT: (C) 1992, JPO&Japio

[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [KVMC](#)[Help](#)[Logout](#)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-35035

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月5日

H 01 L 21/3205

6810-4M H 01 L 21/88

R

審査請求 未請求 請求項の数 4 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-142352

⑰ 出 願 平2(1990)5月31日

⑱ 発 明 者 細 田 勉 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) タンタル層上に、主成分にアルミニウムを含み、銅及びチタンをともに含んでなる合金層が積層されてなる2層構造の金属配線層を具備することを特徴とする半導体装置。

(2) 請求項(1)記載の2層構造の金属配線層が、バリアメタル層を介して半導体基体に電気的に接続していることを特徴とする半導体装置。

(3) 前記バリアメタル層がチタン層とその上に積層された窒化チタン層とからなることを特徴とする請求項(2)記載の半導体装置。

(4) 請求項(1)記載の2層構造の金属配線層が、コンタクトホールを介し下層の金属配線層に直に接続してことを特徴とする半導体装置。

3. 発明の詳細な説明

(概 要)

半導体装置、特に半導体集積回路等に使用される金属配線層の構造に関し、

Al-Cu-Ti 合金層を主たる導電層に用い、且つ高温におけるストレスマイグレーション耐性の劣化、広い配線幅におけるエレクトロマイグレーション耐性の劣化及び高温熱処理による配線抵抗の増大を防止した高信頼の金属配線層を具備した半導体装置の提供を目的とし、

タンタル層上に、主成分にアルミニウムを含み、銅及びチタンをともに含んでなる合金層が積層されてなる2層構造の金属配線層を具備する構成を有する。

(産業上の利用分野)

本発明は半導体装置、特に半導体集積回路等に使用される金属配線層の構造に関する。

半導体集積回路装置の高集積化を図るためには、半導体素子を微細化するだけでなく、回路 成に

用いられているアルミニウム（アルミニウム合金を含む）配線層の幅も $1\mu\text{m}$ 或いはそれ以下に微細化することが必要になる。一方、アルミニウム（Al）配線層においては、上記のように配線幅が微細化されると、エレクトロマイグレーション及びストレスマイグレーションによる断線不良が発生し易くなるという問題があり、マイグレーション耐性の優れたAl配線層の構造が要望される。

〔従来の技術〕

エレクトロマイグレーションとストレスマイグレーションに対する耐性を改善する方法として、従来、Alに銅（Cu）とチタン（Ti）を添加した合金をAl配線層として用いる方法が特開昭62-114241号公報によって提案されている。この配線層の構成においては、少量のCuの添加によりAlのマイグレーション発生を抑制し、且つTiの添加により高堆積レートによるAl-Cu合金層形成に際しての結晶粒の拡大を防止して、上記マイグレーション抑制効果を一層確実なものにしている。

3

〔発明が解決しようとする課題〕

しかしながら、上記 Al-Cu-Ti/Ti積層配線層においては、AlとTiが、通常被覆用絶縁膜の成長等に用いられる400℃程度の熱処理で反応し、配線層内に高抵抗の金属間化合物 Al_3Ti を生成することにより積層膜のシート抵抗（配線抵抗）が上昇するという問題がある。

即ち、例えば、 $\text{Al}-0.1\%\text{Cu}-0.15\%\text{Ti}$ 合金の単層配線層の抵抗率は500℃、30分の熱処理を経ても熱処理前と変わらず $3.4\mu\Omega\text{cm}$ 程度であったのに対して、前記 Al-Cu-Ti/Ti積層配線層においては、同様の熱処理後の抵抗率 $4.5\mu\Omega\text{cm}$ 程度であり、30%以上の上昇を示す。

従って、この Al-Cu-Ti/Ti積層配線層を半導体集積回路装置等に用いた際には、上記抵抗率の増大に伴う配線抵抗の増大によって、配線のRC遅延が増大し、高速化が妨げられるという問題が生じていた。

そこで本発明は、上記 Al-Cu-Ti合金層を主たる導電層に用い、且つ高温におけるストレスマイ

しかし、上記 Al-Cu-Ti合金からなる配線層には、以下に示すような問題点が含まれていた。

1) 200℃以上の高温放置でストレスマイグレーションによる断線不良が発生し易くなる。

2) 配線幅が広い配線層において、エレクトロマイグレーションによる断線が生じ易くなる。

上記の2つの問題点は、Al-Cu-Ti合金に特有のものであり、通常の Al-Si合金や、Al-Si-Cu合金を用いた配線では認められない。

そこで、上記問題点を除去するために、先に、特開平 2-20595号（平成2年1月31日出願）によって、Ti層上に前記 Al-Cu-Ti合金層を積層してなる2層構造即ち Al-Cu-Ti/Ti 構造の金属配線層が提案され、この構造によって前記 Al-Cu-Ti合金層単層からなるAl配線層に比べて、高温放置におけるストレスマイグレーションによる断線不良の発生率は大幅に改善され、また広い幅の配線層におけるエレクトロマイグレーションによる平均寿命の低下も防止された。

4

グレーション耐性の劣化、広い配線幅におけるエレクトロマイグレーション耐性の劣化及び高温熱処理による配線抵抗の増大を防止した高信頼の金属配線層を具備した半導体装置の提供を目的とする。

〔課題を解決するための手段〕

上記課題は、タンタル層上に、主成分にアルミニウムを含み、銅及びチタンをともに含んでなる合金層が積層されてなる2層構造の金属配線層を具備する本発明による半導体装置によって解決される。

〔作用〕

第1図は本発明の原理説明用模式断面図で、図中、1は半導体基板、2は厚さ8000Å程度の層間絶縁膜、3は金属（Al）配線層、3Aは厚さ200Å程度のTa層、3Bは厚さ5000Å程度のAl-0.1%Cu-0.15%Ti合金層、4は被覆絶縁膜を示す。

即ち本発明に係る金属（Al）配線層3においては、

5

6

図示のように、Alを主成分とする合金層例えば Al-Cu-Ti 合金層3Bの下地金属層として、高温におけるAlとの反応速度がTiに比べて極端に遅く、そのため高温熱処理を経た際に Al-Cu-Ti 合金層3B内に高抵抗の金属間化合物が多量に生成せず、その低シート抵抗が維持され、且つAl合金層例えば Al-Cu-Ti 合金層3Bとのエッチングの選択性が小さく同一エッチング処理により一括パターンニングが可能のために配線形成工程が複雑化しないという理由によりTa層3Aを選択した。

そして金属配線層の構造を、図示のようにTa層3A上にAlを主成分とする合金層例えばAl-0.1%Cu-0.15%Ti合金層が積層された2層構造(Al-Cu-Ti/Ta)にした。

第2図は上記構造の金属配線層とTiを下地金属層に用いた従来のAl-Cu-Ti/Ti構造の金属配線層との450℃熱処理における熱処理時間とシート抵抗との関係を示した図である。

この図から、Taを下地金属層に用いた本発明のAl-Cu-Ti/Ta配線層においては、シート抵抗が殆

ど上昇せず、Tiを下地金属層に用いた従来のAl-Cu-Ti/Ti配線に比べて大幅な改善が認められる。なお、従来造において、Ti層の厚さはTa層同様200Å、Al-Cu-Ti合金層の組成及び厚さは上記本発明の構造と同様である。

また、上記本発明の構造において、200℃以上の温度における2000時間の高温放置におけるストレスマイグレーションによる断線の発生率は、下地金属層にTiを用いた従来構造と同様殆ど0%であり、また8μm程度の広い配線幅に形成した際の環境温度250℃、電流密度 2×10^4 A/cm²におけるエレクトロマイグレーション寿命も、下地金属層にTiを用いた従来構造と同様に、2μm程度の配線幅の場合と変わらない3000時間以上の値が得られている。

(実施例)

以下本発明を、一実施例について、第3図を参照して具体的に説明する。

第1図は本発明に係りAl-Cu-Ti合金層の下地に

7

Ta層を有する2層構造のAl-Cu-Ti/Ta配線層を、半導体基板に接続する下層の配線層と、下層の配線層に接続する上層の配線層とに用いたMOS型半導体装置の一実施例である。

図において、

- 11は例えばp⁺型シリコン(Si)基板、
- 12は素子形成領域、
- 13はフィールド酸化膜、
- 14はp型チャネルストップ、
- 15はゲート酸化膜、
- 16はポリSi等からなるゲート電極、
- 17はn⁺型ソース領域、
- 18はn⁺型ドレイン領域、
- 19は厚さ1000Å程度の不純物ブロック用酸化膜、
- 20は燐珪酸ガラス(PSG)等からなる厚さ8000Å程度の第1の層間絶縁膜、
- 21A、21Bは基板コンタクトホール、
- 22は厚さ200Å程度のTiコンタクト層22Aと厚さ1000Å程度の窒化チタン(TiN)非反応層22Bとからなるバリアメタル層、

8

23Sは厚さ200Å程度のTa層23Aと厚さ5000Å程度の(Al-0.1%Cu-0.15%Ti)組成を有するAl-Cu-Ti合金層23Bとからなる2層構造のソース配線、23Dは同じくTa層23AとAl-Cu-Ti合金層23Bとからなる2層構造のドレイン配線、

24はPSG等からなる厚さ5000Å程度の第2の層間絶縁膜、

25は配線コンタクトホール、

26は厚さ200Å程度のTa層26Aと厚さ5000Å程度の(Al-0.1%Cu-0.15%Ti)組成を有するAl-Cu-Ti合金層26Bとからなる2層構造の上層配線を示す。

この実施例に示すように本発明に係る金属配線層を用いてSi基板11(詳しくはソース領域17及びドレイン領域18)にコンタクトする下層のソース配線23S及びドレイン配線23D等を形成するに際しては、配線内へのSiの吸い上げによるソース及びドレイン接合の破壊を防止するために、コンタクト部に図示のように、例えばTiコンタクト層22AとTiN非反応層22Bとからなる周知のバリア

メタル層22を介在せしめることが望ましい。また配線同士の層間接続においては、上記バリアメタル層の必要はなく、図示のように第2の層間絶縁膜24の配線コンタクトホール25を介し、下層の配線例えばドレイン配線23DのAl-Cu-Ti合金層23Bと上層配線26のTa層26Aを直に接触せしめればよい。

上記実施例に示す半導体装置は、例えば次のような方法により形成される。

即ち、通常のMOSプロセスに従ってp型Si基板11のフィールド酸化膜13及びp型チャネルストップ14によって画定された素子形成領域12に、ゲート酸化膜15、ゲート電極16、n型ソース領域17、n型ドレイン領域18からなるMOSトランジスタを形成した後、このトランジスタのSi表面に熱酸化等により不純物ブロック用酸化膜19を形成し、次いでこの基板上にCVD法によりPSG等からなる第1の層間絶縁膜20を形成し、この層間絶縁膜20に通常のフォトリソグラフィによりソース及びドレイン領域17及び18を露出する基

板コンタクトホール21A及び21Bを形成する。

次いで上記コンタクトホール21A、21Bの内面を含む第1の層間絶縁膜20上にアルゴンスパッタ法によってTiコンタクト層22Aを形成し、次いでリアクティブスパッタ法によりTiN非反応層22Bを形成する。これらはバリアメタル層22になる。

次いで上記バリアメタル層22の形成に引き続いて、上記TiN非反応層22B上にアルゴンスパッタ法によりソース及びドレイン配線の一部になるTa層23Aを形成し、次いで同じくアルゴンスパッタ法により上記配線の残部になるAl-Cu-Ti合金層23Bを形成し、エッチング手段に塩素(Cl)系のガスによるリアクティブイオンエッチング法を用いる通常のフォトリソグラフィにより、上記Al-Cu-Ti合金層23B、Ta層23A、TiN非反応層22B、Tiコンタクト層22Aを連続してエッチングし、TiN非反応層22BとTiコンタクト層22Aからなるバリアメタル層22を介してソース領域17及びドレイン領域18に接続する、Ta層23AとAl-Cu-Ti合金層23Bとの積層構造のソース配線23S及びドレイン

11

配線23Dを形成する。

次いで、上記ソース配線23S及びドレイン配線23Dの形成面上にCVD法によりPSG等からなる第2の層間絶縁膜24を形成し、通常のフォトリソグラフィにより配線コンタクトホール25を形成した後、この配線コンタクトホール25の内面を含む第2の層間絶縁膜24上にアルゴンスパッタ法により上層配線の一部になるTa層26Aと残部になるAl-Cu-Ti合金層26Bを形成し、エッチング手段にCl系のガスによるリアクティブイオンエッチング法を用いる通常のフォトリソグラフィにより上記Al-Cu-Ti合金層26BとTa層26Aを連続してエッチングし、第2の層間絶縁膜24の配線コンタクトホール25を介し下層の配線例えばドレイン配線23DのAl-Cu-Ti合金層23Bに、下層部のTa層26Aを直に接触させて接続するTa層26AとAl-Cu-Ti合金層26Bとの積層構造を有する上層配線26を形成する。このような方法により形成される上記一実施例に係る金属配線層においては、作用の側で説明したように、下地金属層にTiを用いた従来のAl

12

-Cu-Ti/Ti配線層と同様に高温におけるストレスマイグレーションによる断線率は減少し、且つ配線幅の広い場合のエレクトロマイグレーション寿命も向上して信頼性の高い金属配線が形成されると同時に、絶縁膜成長等の高温処理において下地金属とAlとの高抵抗な金属間化合物の生成も殆どなくなって低抵抗の金属配線層が形成され、金属配線によるRC遅延が減少して半導体装置の高速化が図れる。

なお本発明に係る金属配線において、主たる導電層には、上記Al-Cu-Ti合金層以外にAl-Cu合金層、Al-Si合金層等も適用できる。

また、半導体基体との接続部に介在せしめるバリアメタル層は、上記実施例の構成に限られるものではない。

(発明の効果)

以上説明のように、本発明によれば、金属配線層のストレスマイグレーション耐性、及びエレクトロマイグレーション耐性を向上し、且つ配線低

13

14

抗を減少することができ、金属配線層の信頼性が向上し、且つRC遅延が減少する。

従って本発明は、高集積化される半導体集積回路装置の信頼性向上及び高速化に有効である。

4. 図面の簡単な説明

第1図は本発明の原理説明用模式断面図、

第2図は本発明に係るAl-Cu-Ti/Ta配線層の熱処理時間とシート抵抗との関係図、

第3図は本発明の一実施例の模式側断面図である。

図において、

1は半導体基板、

2は層間絶縁膜、

3は金属(Al)配線層、

3AはTa層、

3BはAl-0.1%Cu-0.15%Ti合金層、

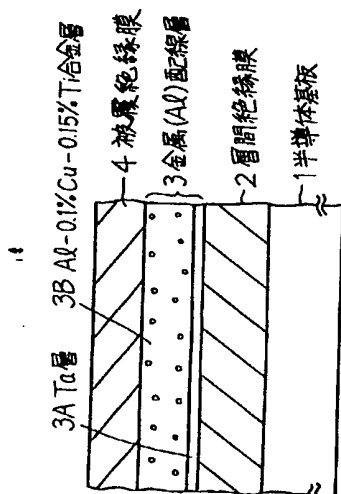
4は被覆絶縁膜

を示す。

代理人 弁理士 井桁貞一

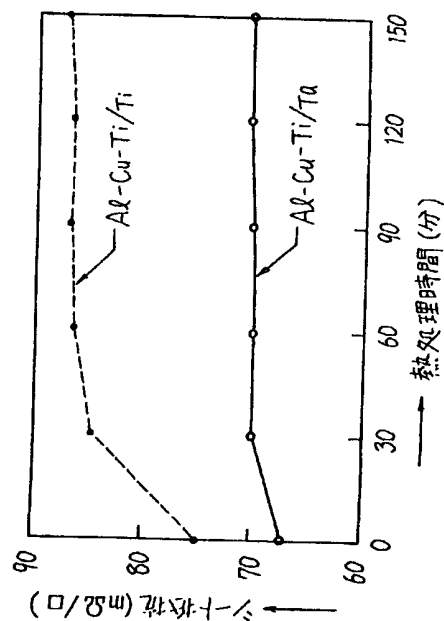


15



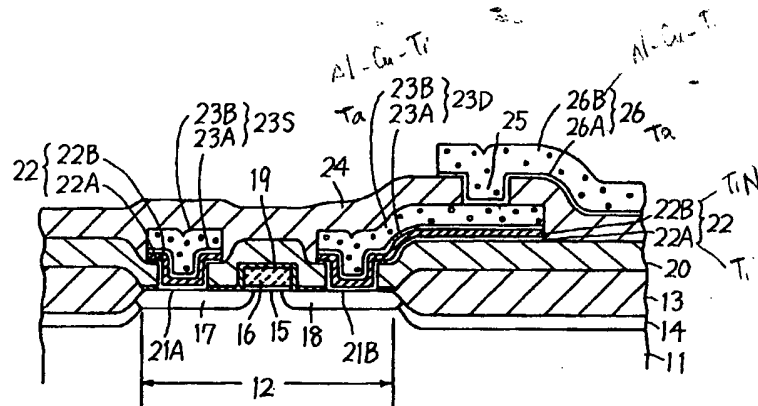
本発明の原理説明用模式断面図

第1図



本発明に係るAl-Cu-Ti/Ta配線層の熱処理時間とシート抵抗との関係図

第2図



- | | |
|----------------------------|----------------|
| 11. P型Si基板 | 22. バリメタル |
| 12. 素子形成領域 | 22A. Tiコンタクト層 |
| 13. フィールド酸化膜 | 22B. TiNバリメタル層 |
| 14. P型チャネルストップパ | 23A. Ta層 |
| 15. ゲート酸化膜 | 23B. Al-Cu-Ti層 |
| 16. ゲート電極 | 23S. ソース配線 |
| 17. n ⁺ 型ソース領域 | 23D. ドレイン配線 |
| 18. n ⁺ 型ドレイン領域 | 24. 第2の層間絶縁膜 |
| 19. 不純物フロー用酸化膜 | 25. 配線コンタクト層 |
| 20. 第1の層間絶縁膜 | 26. 上層配線 |
| 21A, 21B. 第1のコンタクト窓 | 26A. Ta層 |
| | 26B. Al-Cu-Ti層 |

本発明の一実施例の模式側断面図

第 3 図